

Rec'd PCT/PTO 27 APR 2005

PCT/JP03/13942

10/533-41

30.10.03

日 本 国 特 許 庁
JAPAN PATENT OFFICE

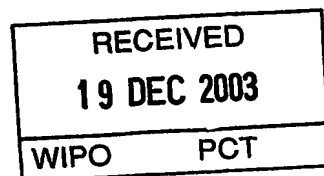
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 3 1 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 1 8 8 0 7
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 1 8 8 0 7]

出 願 人 ザインエレクトロニクス株式会社
Applicant(s):

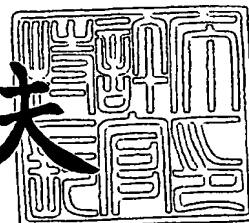


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 3 年 1 2 月 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



BEST AVAILABLE COPY

出証番号 出証特 2 0 0 3 - 3 1 0 0 2 1 :

【書類名】 特許願

【整理番号】 J02-0005

【提出日】 平成14年10月31日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H03F 3/00
H03K 19/00

【発明の名称】 差動回路及びそれを備えた受信装置

【請求項の数】 22

【発明者】

【住所又は居所】 東京都中央区八丁堀一丁目10番7号 ザインエレクトロニクス株式会社内

【氏名】 岡村 淳一

【特許出願人】

【識別番号】 399011195

【氏名又は名称】 ザインエレクトロニクス株式会社

【代理人】

【識別番号】 100087480

【弁理士】

【氏名又は名称】 片山 修平

【電話番号】 043-351-2361

【手数料の表示】

【予納台帳番号】 153948

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【物件名】 代理権を証明する書面 1

【援用の表示】 平成14年10月25日提出の包括委任状

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 差動回路及びそれを備えた受信装置

【特許請求の範囲】

【請求項 1】 信号の入力段に設けられた差動素子と該差動素子に接続された定電流源と前記差動素子に接続された負荷とを有して構成された差動増幅回路と、前記負荷における電圧降下に基づいて差動電圧を出力するソースフォロア回路とを有する差動回路において、

前記差動素子が非導通状態にあるとき、前記ソースフォロア回路へ所定のバイアス電位を入力するバイアス入力回路を有することを特徴とする差動回路。

【請求項 2】 前記所定のバイアス電位は前記差動素子に入力される前記信号とは独立の一定電圧であることを特徴とする請求項 1 記載の差動回路。

【請求項 3】 信号の入力段に設けられた差動素子と該差動素子に接続された定電流源と前記差動素子に接続された負荷とを有して構成された差動増幅回路と、前記負荷における電圧降下に基づいて差動電圧を出力するソースフォロア回路とを有する差動回路において、

前記定電流源と前記負荷との間に接続された前記差動素子を流れる電流をバイパスするバイパス回路を有することを特徴とする差動回路。

【請求項 4】 前記バイパス回路は前記差動素子が非導通状態にあるとき、該差動素子を流れる電流をバイパスすることを特徴とする請求項 3 記載の差動回路。

【請求項 5】 信号の入力段に設けられた第 1 の差動素子と該第 1 の差動素子に接続された第 1 の定電流源と、第 1 の差動素子に接続された第 1 及び第 2 の負荷とを有して構成された第 1 の差動増幅回路と、前記信号の入力段に設けられた第 2 の差動素子と該第 2 の差動素子に接続された第 2 の定電流源と前記第 2 の差動素子に接続された第 3 及び第 4 の負荷とを有して構成された第 2 の差動増幅回路と、前記第 1 又は第 3 の負荷における電圧降下に基づいて第 1 の差動電圧を出力する第 1 のソースフォロア回路と、前記第 2 又は第 4 の負荷における電圧降下に基づいて第 2 の差動電圧を出力する第 2 のソースフォロア回路とを有する差動回路において、

前記第1の定電流源と前記第1及び第2の負荷との間に接続された前記第1の差動素子を流れる電流をバイパスする第1のバイパス回路と、

前記第2の定電流源と前記第3及び第4の負荷との間に接続された前記第2の差動素子を流れる電流をバイパスする第2のバイパス回路とを有することを特徴とする差動回路。

【請求項6】 前記第1のバイパス回路は前記第1の差動素子が非導通状態にあるとき、該第1の差動素子を流れる電流をバイパスし、

前記第2のバイパス回路は前記第2の差動素子が非導通状態にあるとき、該第2の差動素子を流れる電流をバイパスすることを特徴とする請求項5記載の差動回路。

【請求項7】 前記第1及び第2のソースフォロア回路は2つのMOSトランジスタを有して構成された相補型であることを特徴とする請求項5又は6記載の差動回路。

【請求項8】 前記第1の差動素子は2つのNチャネル型MOSトランジスタを含み、

前記第1のバイパス回路は前記2つのNチャネル型MOSトランジスタを流れる電流を各々バイパスする2つのNチャネル型MOSトランジスタを含み、

前記第2の差動素子は2つのPチャネル型MOSトランジスタを含み、

前記第2のバイパス回路は前記2つのPチャネル型MOSトランジスタを流れる電流を各々バイパスする2つのPチャネル型MOSトランジスタを含んで構成されていることを特徴とする請求項5から7の何れか1項に記載の差動回路。

【請求項9】 前記第2のバイパス回路における2つのPチャネル型MOSトランジスタのゲートノードには、前記第1の差動素子又は前記第2の差動素子に入力される前記信号とは独立のバイアス電位が印加されることを特徴とする請求項8記載の差動回路。

【請求項10】 前記第1のバイパス回路における2つのNチャネル型MOSトランジスタ及び前記第2のバイパス回路における2つのPチャネル型MOSトランジスタのゲートノードには、等しいバイアス電位が印加されることを特徴とする請求項8又は9記載の差動回路。

【請求項 1 1】 前記信号は低電圧差動信号であることを特徴とする請求項 1 から 1 0 の何れか 1 項に記載の差動回路。

【請求項 1 2】 信号の入力段に設けられた差動素子と該差動素子に接続された定電流源と前記差動素子に接続された負荷とを有して構成された差動増幅回路と、前記負荷における電圧降下に基づいて差動電圧を出力するソースフォロア回路とを有する差動回路を備えた受信装置において、

前記差動素子が非導通状態にあるとき、前記ソースフォロア回路へ所定のバイアス電位を入力するバイアス入力回路を有することを特徴とする受信装置。

【請求項 1 3】 前記所定のバイアス電位は前記差動素子に入力される前記信号とは独立の一定電圧であることを特徴とする請求項 1 2 記載の受信装置。

【請求項 1 4】 信号の入力段に設けられた差動素子と該差動素子に接続された定電流源と前記差動素子に接続された負荷とを有して構成された差動増幅回路と、前記負荷における電圧降下に基づいて差動電圧を出力するソースフォロア回路とを有する差動回路を備える受信装置において、

前記差動回路が前記定電流源と前記負荷との間に接続された前記差動素子を流れる電流をバイパスするバイパス回路を有することを特徴とする受信装置。

【請求項 1 5】 前記バイパス回路は前記差動素子が非導通状態にあるとき、該差動素子を流れる電流をバイパスすることを特徴とする請求項 1 4 記載の受信装置。

【請求項 1 6】 信号の入力段に設けられた第 1 の差動素子と該第 1 の差動素子に接続された第 1 の定電流源と、第 1 の差動素子に接続された第 1 及び第 2 の負荷とを有して構成された第 1 の差動増幅回路と、前記信号の入力段に設けられた第 2 の差動素子と該第 2 の差動素子に接続された第 2 の定電流源と前記第 2 の差動素子に接続された第 3 及び第 4 の負荷とを有して構成された第 2 の差動増幅回路と、前記第 1 又は第 3 の負荷における電圧降下に基づいて第 1 の差動電圧を出力する第 1 のソースフォロア回路と、前記第 2 又は第 4 の負荷における電圧降下に基づいて第 2 の差動電圧を出力する第 2 のソースフォロア回路とを有する差動回路を備えた受信装置において、

前記差動回路が、前記第 1 の定電流源と前記第 1 及び第 2 の負荷との間に接続

された前記第1の差動素子を流れる電流をバイパスする第1のバイパス回路と、前記第2の定電流源と前記第3及び第4の負荷との間に接続された前記第2の差動素子を流れる電流をバイパスする第2のバイパス回路とを有することを特徴とする受信装置。

【請求項17】 前記第1のバイパス回路は前記第1の差動素子が非導通状態にあるとき、該第1の差動素子を流れる電流をバイパスし、

前記第2のバイパス回路は前記第2の差動素子が非導通状態にあるとき、該第2の差動素子を流れる電流をバイパスすることを特徴とする請求項16記載の受信装置。

【請求項18】 前記第1及び第2のソースフォロア回路は2つのMOSトランジスタを有して構成された相補型であることを特徴とする請求項16又は17記載の受信装置。

【請求項19】 前記第1の差動素子は2つのNチャネル型MOSトランジスタを含み、

前記第1のバイパス回路は前記2つのNチャネル型MOSトランジスタを流れる電流を各々バイパスする2つのNチャネル型MOSトランジスタを含み、

前記第2の差動素子は2つのPチャネル型MOSトランジスタを含み、

前記第2のバイパス回路は前記2つのPチャネル型MOSトランジスタを流れる電流を各々バイパスする2つのPチャネル型MOSトランジスタを含んで構成されていることを特徴とする請求項16から18の何れか1項に記載の受信装置

。

【請求項20】 前記第2のバイパス回路における2つのPチャネル型MOSトランジスタのゲートノードには、前記第1の差動素子又は前記第2の差動素子に入力される前記信号とは独立のバイアス電位が印加されることを特徴とする請求項19記載の受信装置。

【請求項21】 前記第1のバイパス回路における2つのNチャネル型MOSトランジスタ及び前記第2のバイパス回路における2つのPチャネル型MOSトランジスタのゲートノードには、等しいバイアス電位が印加されることを特徴とする請求項19又は20記載の受信装置。

【請求項 22】 前記信号は低電圧差動信号であることを特徴とする請求項 12 から 21 の何れか 1 項に記載の受信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、小振幅で且つ電流モードである高速シリアルデジタル伝送信号のための差動回路及びそれを備えた受信装置に関し、特に終端コモンモード電圧範囲が電源電圧近くまで必要なレイル・ツー・レイルのコモンモードレンジを確保する必要がある入力段と、チップ内部で高速信号を扱うために必要な入力コモンモード電圧に依らずに一定のコモンモード電位を持った差動出力が得られるバッファ段とを組み合わせた高速シリアルデジタル伝送信号の受信装置用の差動回路に関する。

【0002】

【従来の技術】

従来、シリアルデジタル伝送では、トランジスタ・アンド・トランジスタ・ロジック：TTL（2.0／0.8）やコンプリメンタリーメタル・オキシド・セミコンダクタ：CMOS（3.3／0.0）等のデジタル信号のインタフェース規格が用いられていた。しかしながら、これらは比較的大きな電圧振幅を使ったデジタル信号インタフェース規格であるため、信号伝送に伴う遅延が比較的大きいという問題が存在する。このため、近年要求されてきている高速なシリアルデジタル伝送を上記の規格で接続されたデバイス間で用いて実現することは困難である。

【0003】

この問題を解決するために、近年、小振幅で且つ電流モードである差動伝送規格が提案されている。このような規格の例としてはLVDS（Low Voltage Differential Signaling）がある。

【0004】

LVDS規格では差動の電流ドライブ信号を用いる点と終端インピーダンスとが規定されているだけである。従って、LVDS規格に準じた差動回路は、任意

のコモンモード終端電圧で動作可能でなければならない。規格上、LVDS規格に準じた信号（以下、これをLVDS信号という）の送信回路（以下、これをLVDSトランスミッタという）には、 100Ω の終端インピーダンスを接続した場合に終端電圧として 350mV の振幅が得られるような電流ドライブが用いられる。一方、LVDS信号の受信回路（以下、これをLVDSレシーバという）では、 $0\sim 2.4\text{V}$ のコモンモード終端電圧に対して上記した 350mV 程度の終端電圧差を受信可能でなければならない。つまり、LVDSレシーバの入力段の増幅回路は、例えば 2.5V の電源電圧 V_{cc} を仮定すると、略電源電圧と同じコモンモード入力の信号を扱うことになる。このように略電源電圧と同じコモンモード入力の信号を扱う動作をレイル・ツー・レイル (rail-to-rail) 動作と称す。

【0005】

従来、CMOSテクノロジーを用いたレイル・ツー・レイルの差動増幅段の構成としては、Nチャネル素子の差動増幅段とPチャネル素子の差動増幅段とを並列に組み合わせることで双方のコモンモード動作範囲の限界が補間されるようなトポロジーが考えられている。

【0006】

このような中、入力段に位置する増幅回路の出力は後段に設けられた増幅回路にとって望ましい信号品質である必要が存在する。即ち、チップ内部で高速信号を扱うためには、入力段の増幅回路の差動出力がLVDS信号の入力コモンモード電圧に依存せずに一定のコモンモード電位を持っていることが望ましい。更にチップ内部負荷をドライブするには適当なバッファ段を組み合わせる必要も存在する。

【0007】

例えば以下に例示する特許文献1には、バッファ段の出力電圧をフィードバックして差動増幅段の差動出力を制御することで、これを安定化するための技術が開示されている。以下、これを従来技術1とし、図1を用いて説明する。

【0008】

図1を参照すると従来技術1は、Nチャネル型差動増幅回路801とPチャネ

ル型差動増幅回路 813 とを含む差動増幅段と、この差動増幅段の出力 (806 及び 818) を入力する相補型ソースフォロア回路 826 と、同じく差動増幅段の出力 (808 及び 820) を入力する相補型ソースフォロア回路 828 とを有して構成される。尚、上記した 2 つの相補型ソースフォロア回路 826, 828 は内部負荷をドライブするバッファ段である。

【0009】

上記の N チャンネル型差動増幅回路 801 は一対の N チャンネル型 MOS トランジスタ (尚、電界効果トランジスタであることが好ましい。以下、これを単にトランジスタという) で構成された N チャンネル型差動素子 802 と、この N チャンネル型差動素子 802 の負荷であるアクティブロード 812 及び 810 と、N チャンネル型差動素子 802 に接続された定電流源 804 とを有して構成される。また同様に、P チャンネル型差動増幅回路 813 も、一対の P チャンネル型 MOS トランジスタで構成された P チャンネル型差動素子 814 と、この P チャンネル型差動素子 814 の負荷であるアクティブロード 822 及び 824 と、P チャンネル型差動素子 814 に接続された定電流源 816 とを有して構成される。

【0010】

このような構成において、相補型ソースフォロア回路 826 の出力ノード 830 は、N チャンネル型 MOS トランジスタで構成されたアクティブロード 810 及び 822 へそれぞれ接続される。即ち、アクティブロード 810 及び 822 の両端の電圧は、相補型ソースフォロア回路 826 の出力電圧に基づいてフィードバック制御される。また同様に、相補型ソースフォロア回路 828 の出力ノード 832 は、N チャンネル型 MOS トランジスタで構成されたアクティブロード 812 及び 824 へそれぞれ接続される。即ち、アクティブロード 812 及び 824 の両端の電圧は、相補型ソースフォロア回路 828 の出力電圧に基づいてフィードバック制御される。これにより、P チャンネル型/N チャンネル型 MOS トランジスタで構成されたアクティブロード 810, 812, 822, 824 の動作点が 3 極管領域から 5 極管領域に移動することを防ぎ、常に 3 極管領域で動作するように構成されるため、差動出力の非線型動作を防ぐ、即ち差動出力の安定化を図ることが可能となる。

【0011】

【特許文献1】

米国特許第6320422号公報

【0012】

【発明が解決しようとする課題】

しかしながら、従来技術1で開示されたような構成では、入力コモンモード電圧により2つの差動増幅回路が異なる動作モードとなった場合、出力段に設けられた2つの相補型ソースフォロア回路の出力電圧のコモンモード電位を一定に保つことが不可能である。更に、従来技術1のように出力電圧をフィードバックする構成を有した場合、出力電圧を高速にスイッチングすることで発振が生じてしまう可能性が存在する。

【0013】

本発明は、このような問題に鑑みてなされたものであり、フィードバック構成を有することなく、一定のコモンモード電位を持った差動出力を出力でき、且つチップ内部負荷をドライブするのに適当なバッファ段を有する差動回路及びそれを備えた受信装置を提供することを目的とする。

【0014】

【課題を解決するための手段】

かかる目的を達成するために、本発明は、請求項1記載のように、信号の入力段に設けられた差動素子と該差動素子に接続された定電流源と前記差動素子に接続された負荷とを有して構成された差動増幅回路と、前記負荷における電圧降下に基づいて差動電圧を出力するソースフォロア回路とを有する差動回路において、前記差動素子が非導通状態にあるとき、前記ソースフォロア回路へ所定のバイアス電位を入力するバイアス入力回路を有するように構成される。これにより、フィードバック構成を有することなく、一定のコモンモード電位を持った差動出力を出力でき、且つチップ内部負荷をドライブするのに適当なバッファ段であるソースフォロア回路を有する差動回路が実現される。

【0015】

また、請求項1記載の前記差動回路は、例えば請求項2記載のように、前記所

定のバイアス電位が前記差動素子に入力される前記信号とは独立の一定電圧であるように構成されるとよい。

【0016】

また、本発明は、請求項3記載のように、信号の入力段に設けられた差動素子と該差動素子に接続された定電流源と前記差動素子に接続された負荷とを有して構成された差動増幅回路と、前記負荷における電圧降下に基づいて差動電圧を出力するソースフォロア回路とを有する差動回路において、前記定電流源と前記負荷との間に接続された前記差動素子を流れる電流をバイパスするバイパス回路を有するように構成される。これにより、フィードバック構成を有することなく、一定のコモンモード電位を持った差動出力を出力でき、且つチップ内部負荷をドライブするのに適当なバッファ段であるソースフォロア回路を有する差動回路が実現される。

【0017】

また、請求項3記載の前記差動回路は、例えば請求項4記載のように、前記バイパス回路が前記差動素子が非導通状態にあるとき、該差動素子を流れる電流をバイパスするように構成されるとよい。

【0018】

また、本発明は、請求項5記載のように、信号の入力段に設けられた第1の差動素子と該第1の差動素子に接続された第1の定電流源と、第1の差動素子に接続された第1及び第2の負荷とを有して構成された第1の差動増幅回路と、前記信号の入力段に設けられた第2の差動素子と該第2の差動素子に接続された第2の定電流源と前記第2の差動素子に接続された第3及び第4の負荷とを有して構成された第2の差動増幅回路と、前記第1又は第3の負荷における電圧降下に基づいて第1の差動電圧を出力する第1のソースフォロア回路と、前記第2又は第4の負荷における電圧降下に基づいて第2の差動電圧を出力する第2のソースフォロア回路とを有する差動回路において、前記第1の定電流源と前記第1及び第2の負荷との間に接続された前記第1の差動素子を流れる電流をバイパスする第1のバイパス回路と、前記第2の定電流源と前記第3及び第4の負荷との間に接続された前記第2の差動素子を流れる電流をバイパスする第2のバイパス回路と

を有するように構成される。これにより、フィードバック構成を有することなく、一定のコモンモード電位を持った差動出力を出力でき、且つチップ内部負荷をドライブするのに適当なバッファ段である第1及び第2のソースフォロア回路を有する差動回路が実現される。

【0019】

また、請求項5記載の前記差動回路は、例えば請求項6記載のように、前記第1のバイパス回路が前記第1の差動素子が非導通状態にあるとき、該第1の差動素子を流れる電流をバイパスし、前記第2のバイパス回路が前記第2の差動素子が非導通状態にあるとき、該第2の差動素子を流れる電流をバイパスするように構成されるとよい。

【0020】

また、請求項5又は6記載の前記差動回路は、好ましくは請求項7記載のように、前記第1及び第2のソースフォロア回路が2つのMOSトランジスタを有して構成された相補型であるように構成される。

【0021】

また、請求項5から7の何れか1項に記載の前記差動回路は、例えば請求項8記載のように、前記第1の差動素子が2つのNチャネル型MOSトランジスタを含み、前記第1のバイパス回路が前記2つのNチャネル型MOSトランジスタを流れる電流を各々バイパスする2つのNチャネル型MOSトランジスタを含み、前記第2の差動素子が2つのPチャネル型MOSトランジスタを含み、前記第2のバイパス回路が前記2つのPチャネル型MOSトランジスタを流れる電流を各々バイパスする2つのPチャネル型MOSトランジスタを含んで構成されてもよい。

【0022】

また、請求項8記載の前記差動回路は、好ましくは請求項9記載のように、前記第2のバイパス回路における2つのPチャネル型MOSトランジスタのゲートノードに、前記第1の差動素子又は前記第2の差動素子に入力される前記信号とは独立のバイアス電位が印加されるように構成される。これにより、任意の電圧値として決定された一定電圧に基づいてテイル電流がバイパスされ、差動出力の

振幅を安定化させることができる。

【0023】

また、請求項8又は9記載の前記差動回路は、例えば請求項10記載のように、前記第1のバイパス回路における2つのNチャネル型MOSトランジスタ及び前記第2のバイパス回路における2つのPチャネル型MOSトランジスタのゲートノードに、等しいバイアス電位が印加されるように構成されるとよい。

【0024】

また、請求項1から10の何れか1項に記載の前記差動回路は、例えば請求項11記載のように、前記信号が低電圧差動信号であるように構成されてもよい。

【0025】

また、本発明は、請求項12記載のように、信号の入力段に設けられた差動素子と該差動素子に接続された定電流源と前記差動素子に接続された負荷とを有して構成された差動増幅回路と、前記負荷における電圧降下に基づいて差動電圧を出力するソースフォロア回路とを有する差動回路を備えた受信装置において、前記差動素子が非導通状態にあるとき、前記ソースフォロア回路へ所定のバイアス電位を入力するバイアス入力回路を有するように構成される。これにより、フィードバック構成を有することなく、一定のコモンモード電位を持った差動出力を出力でき、且つチップ内部負荷をドライブするのに適当なバッファ段であるソースフォロア回路を有する差動回路を備えた受信装置が実現される。

【0026】

また、請求項12記載の前記受信装置は、例えば請求項13記載のように、前記所定のバイアス電位が前記差動素子に入力される前記信号とは独立の一定電圧であるように構成されるとよい。

【0027】

また、本発明は、請求項14記載のように、信号の入力段に設けられた差動素子と該差動素子に接続された定電流源と前記差動素子に接続された負荷とを有して構成された差動増幅回路と、前記負荷における電圧降下に基づいて差動電圧を出力するソースフォロア回路とを有する差動回路を備える受信装置において、前記差動回路が前記定電流源と前記負荷との間に接続された前記差動素子を流れる

電流をバイパスするバイパス回路を有するように構成される。これにより、フィードバック構成を有することなく、一定のコモンモード電位を持った差動出力を出力でき、且つチップ内部負荷をドライブするのに適当なバッファ段であるソースフォロア回路を有する差動回路を備えた受信装置が実現される。

【0028】

また、請求項14記載の前記受信回路は、例えば請求項15記載のように、前記バイパス回路が前記差動素子が非導通状態にあるとき、該差動素子を流れる電流をバイパスするように構成されるとよい。

【0029】

また、本発明は、請求項16記載のように、信号の入力段に設けられた第1の差動素子と該第1の差動素子に接続された第1の定電流源と、第1の差動素子に接続された第1及び第2の負荷とを有して構成された第1の差動増幅回路と、前記信号の入力段に設けられた第2の差動素子と該第2の差動素子に接続された第2の定電流源と前記第2の差動素子に接続された第3及び第4の負荷とを有して構成された第2の差動増幅回路と、前記第1又は第3の負荷における電圧降下に基づいて第1の差動電圧を出力する第1のソースフォロア回路と、前記第2又は第4の負荷における電圧降下に基づいて第2の差動電圧を出力する第2のソースフォロア回路とを有する差動回路を備えた受信装置において、前記差動回路が、前記第1の定電流源と前記第1及び第2の負荷との間に接続された前記第1の差動素子を流れる電流をバイパスする第1のバイパス回路と、前記第2の定電流源と前記第3及び第4の負荷との間に接続された前記第2の差動素子を流れる電流をバイパスする第2のバイパス回路とを有するように構成される。これにより、フィードバック構成を有することなく、一定のコモンモード電位を持った差動出力を出力でき、且つチップ内部負荷をドライブするのに適当なバッファ段である第1及び第2のソースフォロア回路を有する差動回路を備えた受信装置が実現される。

【0030】

また、請求項16記載の前記受信装置は、例えば請求項17記載のように、前記第1のバイパス回路が前記第1の差動素子が非導通状態にあるとき、該第1の

差動素子を流れる電流をバイパスし、前記第2のバイパス回路が前記第2の差動素子が非導通状態にあるとき、該第2の差動素子を流れる電流をバイパスするように構成されるとよい。

【0031】

また、請求項16又は17記載の前記受信装置は、好ましくは請求項18記載のように、前記第1及び第2のソースフォロア回路が2つのMOSトランジスタを有して構成された相補型であるように構成される。

【0032】

また、請求項16から18の何れか1項に記載の前記受信装置は、例えば請求項19記載のように、前記第1の差動素子が2つのNチャネル型MOSトランジスタを含み、前記第1のバイパス回路が前記2つのNチャネル型MOSトランジスタを流れる電流を各々バイパスする2つのNチャネル型MOSトランジスタを含み、前記第2の差動素子が2つのPチャネル型MOSトランジスタを含み、前記第2のバイパス回路が前記2つのPチャネル型MOSトランジスタを流れる電流を各々バイパスする2つのPチャネル型MOSトランジスタを含んで構成されてもよい。

【0033】

また、請求項19記載の前記受信装置は、好ましくは請求項20記載のように、前記第2のバイパス回路における2つのPチャネル型MOSトランジスタのゲートノードに、前記第1の差動素子又は前記第2の差動素子に入力される前記信号とは独立のバイアス電位が印加されるように構成される。これにより、任意の電圧値として決定された一定電圧に基づいてテイル電流がバイパスされ、差動出力の振幅を安定化させることができる。

【0034】

また、請求項19又は20記載の前記受信装置は、例えば請求項21記載のように、前記第1のバイパス回路における2つのNチャネル型MOSトランジスタ及び前記第2のバイパス回路における2つのPチャネル型MOSトランジスタのゲートノードに、等しいバイアス電位が印加されるように構成されるとよい。

【0035】

また、請求項12から21の何れか1項に記載の前記受信装置は、例えば請求項22記載のように、前記信号が低電圧差動信号であるように構成されてもよい。

【0036】

【発明の実施の形態】

〔原理〕

本発明を好適に実施した形態について説明するにあたり、本発明の原理について先に述べる。

【0037】

本発明は、フィードバック構成を有することなく、一定のコモンモード電位を持った差動出力を出力でき、且つチップ内部負荷をドライブするのに適当なバッファ段を有する差動回路及びこれを備えた受信装置である。

【0038】

このような目的を実現するために、本発明は、高速シリアルデジタル伝送信号の差動回路において、Nチャネル型素子で構成された差動増幅段とPチャネル型素子で構成された差動増幅段とを並列に組み合わせることで双方のコモンモード動作範囲の限界を補完するトポロジに、出力段の構成に相補型のソースフォロア回路を組み合わせたトポロジを追加する。このようなトポロジに基づいて回路を構成することで、略レイル・ツー・レイルのコモンモードレンジを確保することが可能となり、且つ高速なバッファリングが可能となる。

【0039】

しかしながら、単に上記した2つのトポロジを組み合わせで設計した場合、差動増幅段から得られる差動出力のコモンモード電位が入力段のコモンモード電圧に依存して変動するという問題が存在する。このような問題を解決するために、本発明による高速シリアルデジタル伝送信号の差動回路では、ある一定のバイアス電位を出力段のソースフォロア回路のノードに入力するように構成する。これは、例えばNチャネル型素子で構成された差動増幅段とPチャネル型素子で構成された差動増幅段とのそれぞれの共通コモンノードに接続される電流源から相補型のソースフォロア回路の入力ノードまでの間に相補型のバイパス回路を設

けることで実現される。これにより、入力段のコモンモード電圧に無関係に、出力段の相補型のソースフォロア回路の動作点を一定に保つことが可能になるため、結果として一定のコモンモード電位を持った差動出力が得られるバッファ段を組み上げることが可能となる。

【0040】

以下に、上記を図面を用いて詳細に説明する。図2は、Nチャネル型素子で構成された差動増幅段とPチャネル型素子で構成された差動増幅段とを並列に組み合わせることで双方のコモンモード動作範囲の限界を補間するトポロジに、出力段の構成にソースフォロア回路を組み合わせるトポロジを追加して設計した差動回路100の構成を示す回路図である。

【0041】

図2に示すように、差動回路100は、Nチャネル型差動増幅回路1（Nチャネル型素子による差動増幅段）と、Pチャネル型差動増幅回路2（Pチャネル型素子による差動増幅段）と、2つのソースフォロア回路5、6とを有して構成されている。

【0042】

この構成において、Nチャネル型差動増幅回路1は2つのNチャネル型MOSトランジスタ（好ましくは電界効果トランジスタ：以下、これを単にトランジスタという）101及び111よりなるNチャネル型差動素子11と、それぞれのNチャネル型MOSトランジスタ101及び111のドレインノードに接続された抵抗負荷103及び113と、2つのNチャネル型MOSトランジスタ101及び111のソースノードに共通に接続された定電流源140とを有して構成されている。同様に、Pチャネル型差動増幅回路2は2つのPチャネル型MOSトランジスタ102及び112よりなるPチャネル型差動素子12と、それぞれのPチャネル型MOSトランジスタ102及び112のドレインノードに接続された抵抗負荷104及び114と、2つのPチャネル型MOSトランジスタ102及び112のソースノードに共通に接続された定電流源141とを有して構成されている。

【0043】

また、ソースフォロア回路5は差動信号の下電圧を出力する出力段であり、Nチャネル型MOSトランジスタ101のドレインノードにゲートノードが接続されたNチャネル型MOSトランジスタ105と、この負荷である定電流源151と、Pチャネル型MOSトランジスタ102のドレインノードにゲートノードが接続されたPチャネル型MOSトランジスタ106と、この負荷である定電流源161とを有して構成されている。従って、ソースフォロア回路5におけるNチャネル型MOSトランジスタ105は、Nチャネル型MOSトランジスタ101の負荷として接続された抵抗負荷103における電圧降下に基づいて差動電圧を出力する。また、ソースフォロア回路5におけるPチャネル型MOSトランジスタ106は、Pチャネル型MOSトランジスタ102の負荷として接続された抵抗負荷104における電圧降下に基づいて差動電圧を出力する。

【0044】

同様に、ソースフォロア回路6は差動信号の上電圧を出力する出力段であり、Nチャネル型MOSトランジスタ111のドレインノードにゲートノードが接続されたNチャネル型MOSトランジスタ115と、この負荷である定電流源152と、Pチャネル型MOSトランジスタ112のドレインノードにゲートノードが接続されたPチャネル型MOSトランジスタ116と、この負荷である定電流源162とを有して構成されている。従って、ソースフォロア回路6におけるNチャネル型MOSトランジスタ115は、Nチャネル型MOSトランジスタ111の負荷として接続された抵抗負荷113における電圧降下に基づいて差動電圧を出力する。また、ソースフォロア回路6におけるPチャネル型MOSトランジスタ116は、Pチャネル型MOSトランジスタ112の負荷として接続された抵抗負荷114における電圧降下に基づいて差動電圧を出力する。

【0045】

以上のような構成に関し、図3を用いて、Nチャネル型差動増幅回路1とPチャネル型差動増幅回路2との双方のコモンモード動作範囲の限界を詳細に説明する。

【0046】

図3において、符号201はNチャネル型差動増幅回路1のための定電流源1

40の動作下限を決定する電圧 (V_{dsat}) を示し、符号202は2つのNチャネル型MOSトランジスタ101及び111で構成されたNチャネル型差動素子11が動作するためのしきい値電圧 (V_{gs}) を示している。従って、電圧 V_{dsat} (符号201) としきい値電圧 V_{gs} (符号202) とを電源電圧 V_{cc} から差し引いた残りの電圧 V_{cm} (符号203) がNチャネル型差動増幅回路1のコモンモード動作範囲となる。同様に、符号211はPチャネル型差動増幅回路2のための定電流源141の動作下限を決定する電圧 (V_{dsat}) を示し、符号212は2つのPチャネル型MOSトランジスタ102及び112で構成されたPチャネル型差動素子12が動作するためのしきい値電圧 (V_{gs}) を示している。従って、電圧 V_{dsat} (符号211) としきい値電圧 V_{gs} (符号212) とを電源電圧 V_{cc} から差し引いた残りの電圧 V_{cm} (符号213) がPチャネル型差動増幅回路2のコモンモード動作範囲となる。

【0047】

これら図2及び図3から明らかなように、それぞれの差動増幅回路(1, 2)を並列に組み合わせることで、レイル・ツー・レイルのコモンモードレンジを確保することが可能である。

【0048】

次に、図2に示したような、Nチャネル型素子の差動増幅段とPチャネル型素子の差動増幅段とを並列に組み合わせたトポロジを改良し、出力段の構成を相補型ソースフォロア回路として設計した差動回路200の構成について図4を用いて詳細に説明する。

【0049】

図4に示すように、差動回路200は、Nチャネル型差動増幅回路1と、Pチャネル型差動増幅回路2と、2つの相補型ソースフォロア回路15, 16とを有して構成されている。

【0050】

この構成において、Nチャネル型差動増幅回路1及びPチャネル型差動増幅回路2は、図2に示す構成と同様である。

【0051】

また、相補型ソースフォロア回路15は差動信号の下電圧を出力する出力段であり、Nチャネル型MOSトランジスタ101のドレインノードにゲートノードが接続されたNチャネル型MOSトランジスタ105と、Pチャネル型MOSトランジスタ102のドレインノードにゲートノードが接続されたPチャネル型MOSトランジスタ106とを有して構成されている。従って、相補型ソースフォロア回路15におけるNチャネル型MOSトランジスタ105は、Nチャネル型MOSトランジスタ101の負荷として接続された抵抗負荷103における電圧降下に基づいて差動電圧を出力する。また、ソースフォロア回路15におけるPチャネル型MOSトランジスタ106は、Pチャネル型MOSトランジスタ102の負荷として接続された抵抗負荷104における電圧降下に基づいて差動電圧を出力する。

【0052】

同様に、相補型ソースフォロア回路16は差動信号の上電圧を出力する出力段であり、Nチャネル型MOSトランジスタ111のドレインノードにゲートノードが接続されたNチャネル型MOSトランジスタ115と、Pチャネル型MOSトランジスタ112のドレインノードにゲートノードが接続されたPチャネル型MOSトランジスタ116とを有して構成されている。このような構成において、相補型ソースフォロア回路(15, 16)における一方のMOSトランジスタは他方のMOSトランジスタの負荷としても動作する。従って、ソースフォロア回路16におけるNチャネル型MOSトランジスタ115は、Nチャネル型MOSトランジスタ111の負荷として接続された抵抗負荷113における電圧降下に基づいて差動電圧を出力する。また、ソースフォロア回路16におけるPチャネル型MOSトランジスタ116は、Pチャネル型MOSトランジスタ112の負荷として接続された抵抗負荷114における電圧降下に基づいて差動電圧を出力する。

【0053】

以上のような構成を有する差動回路200の動作について、図5を用いて詳細に説明する。但し、図5では説明の簡略化のために、図4におけるNチャネル型MOSトランジスタ111及び115、Pチャネル型MOSトランジスタ112

及び116, 抵抗負荷113及び114, 並びにこれらを接続する配線、即ち、差動信号における上電圧を出力するための構成（相補型ソースフォロア回路16側）を省略する。

【0054】

図5において、(a)は入力段のコモンモード電圧によりNチャネル型素子の差動増幅段とPチャネル型素子の差動増幅段とのどちらも動作している状態を説明するための図である。即ち、図5(a)に示す状態では、Nチャネル型差動素子11におけるNチャネル型MOSトランジスタ101とPチャネル型差動素子12におけるPチャネル型MOSトランジスタ102とが導通状態(on)となっている。従って、図5(a)において、相補型ソースフォロア回路15に含まれるNチャネル型MOSトランジスタ105及びPチャネル型MOSトランジスタ106のそれぞれのゲートノードに接続されたノード120, 121には、Nチャネル型MOSトランジスタ101とPチャネル型MOSトランジスタ102とから出力された電圧がそれぞれ相補的に変調されて入力されている。これにより、出力である差動電圧OUTpは一定の電圧に保たれている。

【0055】

一方、図5(b)は、入力段のコモンモード電圧が上昇したために、Pチャネル型素子の差動増幅段、即ちPチャネル型差動増幅回路2の動作範囲を越えてしまい、Nチャネル型素子の差動増幅段であるNチャネル型差動増幅回路1のみが動作している状態を説明するための図である。即ち、図5(b)に示す状態では、Nチャネル型差動素子11におけるNチャネル型MOSトランジスタ101が導通状態(on)となっており、Pチャネル型差動素子12におけるPチャネル型MOSトランジスタ102が非導通状態(off)となっている。このように、図5(b)において、相補型ソースフォロア回路15に含まれるNチャネル型MOSトランジスタ105及びPチャネル型MOSトランジスタ106のそれぞれのゲートノードに接続されたノード120, 121のうちノード121がPチャネル型MOSトランジスタ102を完全にoffしてしまうために、Pチャネル型差動素子12の抵抗負荷104に電流が流れず、結果として相補型ソースフォロア回路15におけるPチャネル型MOSトランジスタ106のゲートノード

が接地電位に定バイアスされてしまう。これにより、図5 (b) に示す状態では P チャンネル型 MOS トランジスタ 106 が単に負荷として動作してしまい、差動回路 200 の等価回路的な動作が、P チャンネル型 MOS トランジスタ 106 による負荷が接続された構成と同じ等価回路となってしまう。

【0056】

同様に、入力段のコモンモード電圧が下降した場合には、N チャンネル型素子の差動増幅段の動作範囲を越えてしまい、P チャンネル型素子の差動増幅段のみが動作する。即ち、図5において、P チャンネル型差動素子 12 における P チャンネル型 MOS トランジスタ 102 が導通状態 (on) となり、N チャンネル型差動素子 11 における N チャンネル型 MOS トランジスタ 101 が非導通状態 (off) となる。従って、相補型ソースフォロア回路 15 に含まれる N チャンネル型 MOS トランジスタ 105 及び P チャンネル型 MOS トランジスタ 106 のそれぞれのゲートノードに接続されたノード 120, 121 のうちノード 120 が N チャンネル型 MOS トランジスタ 101 を完全に off してしまうために N チャンネル型差動素子 11 の抵抗負荷 103 に電流が流れず、結果として相補型ソースフォロア回路 15 における N チャンネル型 MOS トランジスタ 105 のゲートノードが接地電位に定バイアスされてしまう。これにより、N チャンネル型 MOS トランジスタ 105 が単に負荷として動作してしまい、P チャンネル型 MOS トランジスタ 106 が相補型でなく、単なるソースフォロア回路として動作し、これに N チャンネル型 MOS トランジスタ 105 による負荷が接続された構成と同じ等価回路となってしまう。

【0057】

図6に差動回路 200 に対して行ったシミュレーションの結果を示す。尚、このシミュレーションではコモンモードレベルを 0 ~ 2.5 V までスイープさせる。図6に示すグラフを参照すると明らかなように、差動回路 300 は、出力段である相補型ソースフォロア回路の出力電圧のコモンモード電位にうねり（揺らぎ）があることが分かる。これは、上述したように、出力段に設けられた相補型ソースフォロア回路 15, 16 を各々構成する 2 つの MOS トランジスタの内、一方が接地バイアスされることで、双方が異なった動作モードを取るためである。

更に、図6からは、コモンモードレベル電圧が0 V若しくは2.5 V近傍となった際に、差動出力の振幅（以下、ゲインという）が小さくなっていることも読み取れる。

【0058】

このように入力段のコモンモードに依存して出力段の相補型ソースフォロア回路が異なる動作モードを取るため、図4に示す差動回路200の構成では、出力段である相補型ソースフォロア回路の出力電圧のコモンモード電位を一定に保つことは難しい。更に、コモンモードレベル電圧が0 V若しくは2.5 V近傍となった際にゲインが小さくなるという問題も存在する。

【0059】

そこで、本発明者らは、差動回路200のトポロジーを改良することで、出力段の相補型ソースフォロア回路15, 16が入力段のコモンモードと異なる動作モードを取ることを防止するように構成された等価回路を見いだした。図7は、このようなトポロジーに基づいて設計した差動回路300の構成を示す回路図である。但し、図7を用いた説明では説明の簡略化のため、差動信号における上電圧を出力するための構成（相補型ソースフォロア回路16側）を省略し、且つ入力段のコモンモード電圧が上昇した場合にのみ着目して説明する。

【0060】

上述したような、入力段のコモンモード電圧が上昇した場合に生じる出力電圧のコモンモード電位の揺らぎは、Pチャネル型MOSトランジスタ102が完全にoffすることで抵抗負荷104に電流が流れず、結果的に相補型ソースフォロア回路15を構成するPチャネル型MOSトランジスタ106が接地バイアスされてしまうことが原因である。

【0061】

そこで本発明では、入力段のコモンモード電圧がPチャネル型素子の差動増幅段の動作範囲を越えてしまった場合にPチャネル型素子の差動増幅段の負荷抵抗104に定電流を導入するためのバイパス回路を付加する。このバイパス回路は、上述したような、所定のバイアス電位を相補型ソースフォロア回路15, 16のノードに入力するためのバイアス入力回路として機能する。これにより、上記

のような場合でも、出力段の相補型ソースフォロア回路15のNチャネル型MOSトランジスタ105に、定電流バイアスされたPチャネル型MOSトランジスタ106が負荷素子として接続される構成と同じ等価回路を実現することができる。但し、同様に、入力段のコモンモード電圧がNチャネル型素子の差動増幅段の動作範囲を越えてしまった場合には、Nチャネル型素子の差動増幅段の負荷抵抗103に定電流を導入するためのバイパス回路を負荷するような構成を設ける。これにより、上記のような場合でも、出力段の相補型ソースフォロア回路15のPチャネル型MOSトランジスタ106に、定電流バイアスされたNチャネル型MOSトランジスタ105が負荷素子として接続される構成と同じ等価回路を実現することができる。

【0062】

このようなバイパス回路は、Pチャネル型素子で構成された差動増幅段のコモンノードに接続された定電流源141から、同差動増幅段の負荷（抵抗負荷104及びPチャネル型MOSトランジスタ106）に接続されたノードに電流をバイパスするための構成である。このため、図7に示すようなバイアス電位 V_{Bp} でバイアスされたPチャネル型MOSトランジスタ502をそれぞれのノード間に接続することでバイパス回路を構成することが可能である。

【0063】

〔実施例〕

次に、図7で用いた等価回路に基づいて設計した差動回路400の具体的な実施例について、図面を用いて詳細に説明する。より詳細には、Nチャネル型素子の差動増幅段とPチャネル型素子の差動増幅段とを並列に組み合わせて双方のコモンモード動作範囲の限界を補間するようなトポロジーに、出力段の構成として相補型ソースフォロア回路を組み合わるトポロジーと、更に出力段のコモンモード電位を一定に保つために差動増幅段のコモンモードと相補型ソースフォロア回路のゲートノード入力との間にバイパス回路を設けるトポロジーとを追加して差動回路400を設計する。

【0064】

図8は、差動回路400の構成を示すブロック図である。図8に示すように、

差動回路400は、Nチャネル型差動増幅回路1とPチャネル型差動増幅回路2と、2つの相補型ソースフォロア回路15、16と、Nチャネル型差動素子11を流れる電流をバイパスするための第1のバイパス回路51と、Pチャネル型差動素子12を流れる電流をバイパスするための第2のバイパス回路52とを有して構成されている。

【0065】

また、図8に示す差動回路400の詳細な回路構成を図9に示す。図9を参照すると明らかなように、Nチャネル型差動増幅回路1は、一对のNチャネル型素子で構成されたNチャネル型差動素子11と、Nチャネル型差動素子11の抵抗負荷103、113と、Nチャネル型差動素子11の定電流源140とで構成されるNチャネル型差動増幅回路1とを有して構成されている。Pチャネル型差動増幅回路2は、一对のPチャネル型素子で構成されたPチャネル型差動素子12と、Pチャネル型差動素子12の抵抗負荷104、114と、Pチャネル型差動素子12の定電流源141とを有して構成されている。また、Nチャネル型MOSトランジスタ105及びPチャネル型MOSトランジスタ106で構成される相補型ソースフォロア回路15には、2つの差動増幅段の出力ノードの内、ノード130とノード131とが入力される。更に、Nチャネル型MOSトランジスタ115及びPチャネル型MOSトランジスタ116で構成される相補型ソースフォロア回路16には、2つの差動増幅段の出力ノードの内、ノード120とノード121とが入力される。

【0066】

また、第1のバイパス回路51は、ゲートノードにバイアス電位 V_{Bn} が印加される2つのNチャネル型MOSトランジスタ501、511より構成されており、各々Nチャネル型MOSトランジスタ101、111をバイパスして定電流源140とノード130、120とを接続する。同様に、第2のバイパス回路52は、ゲートノードにバイアス電位 V_{Bp} が印加されるPチャネル型MOSトランジスタ502、512より構成されており、各々Pチャネル型MOSトランジスタ102、112をバイパスして定電流源141とノード131、121とを接続する。このように、第1及び第2のバイパス回路51、52を構成するNチ

チャンネル型/Pチャンネル型MOSトランジスタ(501, 511, 502, 512)を各々定電圧によりバイアスすることで、上述したように、相補型ソースフォロア回路15, 16を構成するそれぞれのNチャンネル型/Pチャンネル型MOSトランジスタ105, 115, 106, 116が接地バイアスされることを防止できる。尚、他の構成は図4と同様であるため、ここでは説明を省略する。

【0067】

このように構成した差動回路400に対して行ったシミュレーションの結果を図10に示す。尚、このシミュレーションでも、図6に示すシミュレーション結果と比較するために、コモンモードレベルを0~2.5Vまでスイープさせ、また、 $V_{Bp}=1.5V$, $V_{Bn}=1.0V$ としている。図10を参照すると明らかのように、差動回路400は、出力段である相補型ソースフォロア回路の出力電圧のコモンモード電位のうねり(揺らぎ)が解消され、一定になったことが分かる。

【0068】

以上のトポロジーを用いて設計することで、出力のコモンモード電位の問題は解決されるが、一方、ゲインが変動する問題は解決されていない。このことは、図10に示すシミュレーション結果からも読み取れる。そこで、本発明者らは、第1及び第2のバイパス回路51, 52のゲートノードに印加するバイアス電位を調整することで、テイル電流がバイパスされ、ゲインの問題が解決されることを見いだした。

【0069】

つまり、Nチャンネル型差動増幅回路1及びPチャンネル型差動増幅回路2の両方が動作している状態でテイル電流がバイパスされるように、バイアス電位 V_{Bp} , V_{Bn} の値を決定することで、ゲインの問題が解決される。

【0070】

このバイアス電位 V_{Bp} 及び V_{Bn} の値は、Nチャンネル型差動増幅回路1の入力信号 I_{Np} 及びPチャンネル型差動増幅回路2の入力信号 I_{Nn} とは独立の値であり、任意の一定電圧である。

【0071】

簡単な検証として、図11(a)に、 $V_{Bp} = V_{Bn} = V_{cc}/2$ として、バイアスをそれぞれ0.5Vだけ深くした場合のシミュレーション結果を示す。尚、比較のために図11(b)に図10に示すシミュレーション結果の拡大図を示す。図11(a), (b)を参照すると明らかなように、上記のようにバイアス電位 V_{Bp} , V_{Bn} を調整することでゲインが安定化されたことが分かる。

【0072】

尚、従来技術1として図1を用いて説明した差動回路は、Pチャネル型/Nチャネル型MOSトランジスタで構成されたアクティブロード810, 812, 822, 824の動作点が3極管領域から5極管領域に移動することを防ぎ、常に3極管領域で動作するように構成することで、差動出力の非線型動作を防ぎ、安定化を図ることを目的としたものである。従って、本実施形態の目的である入力段のコモンモードに依存して出力段の相補型ソースフォロア回路が異なる動作モードを取ることで生じる出力段の相補型ソースフォロア回路の出力電圧のコモンモード電位を一定に保つことに関しては、従来技術1により解決されるものではない。加えて、本実施形態の限定的な特徴である前記Nチャネル型差動素子用の定電流源と差動増幅段の出力ノードとの間と、前記Pチャネル差動素子用の定電流源と差動増幅段の出力ノードとの間に、それぞれ第1及び第2のバイパス回路を設けることに関しては、従来技術1において何ら開示されておらず、従って、従来技術1から当業者が容易に相当し得るものではない。

【0073】

また、上記のように構成される等価回路に基づいて設計した差動回路400は、例えば図12に示すような受信装置1000、特にLVDS (Low Voltage Differential Signaling) レシーバ1000における差動回路として組み込まれる。この構成において、差動回路400はLVDS入力インタフェース1001, 1002におけるLVDS信号の入力段に設けられている。尚、この際、LVDS信号の終端抵抗は100Ωとする。また、上記の構成において、差動回路400単一のチップ上に高集積に形成されている。これにより、フィードバック構成を有することなく、一定のコモンモード電位を持った差動出力を出力でき、且つチップ内部負荷をドライブするのに適当な

バッファ段を有する差動回路を備える受信装置が実現される。

【0074】

〔他の実施形態〕

尚、以上で説明した実施形態は本発明の好適な一実施形態にすぎず、本発明はその趣旨を逸脱しない限り種々変形して実施可能である。

【0075】

【発明の効果】

以上説明したように、フィードバック構成を有することなく、一定のコモンモード電位を持った差動出力を出力でき、且つチップ内部負荷をドライブするのに適当なバッファ段を有する差動回路及びそれを備えた受信装置が実現される。

【0076】

即ち、シリアルデジタル伝送信号の差動回路において、特にシリアル伝送データの受信に用いられるレイル・ツー・レイルの差動図副回路装置を構成する際に問題となる入力コモンモード電圧による出力コモンモード電位の変調をなくすることが可能となるので、一定のコモンモード電位を持った差動出力を持ち且つチップ内部負荷をドライブするに適当なバッファ段を組み合わせたレイル・ツー・レイルの差動回路を実現できる。更に、これを備えた受信装置も実現される。

【図面の簡単な説明】

【図1】

従来技術1による差動回路800の構成を示すブロック図である。

【図2】

本発明の説明において用いられた差動回路100の構成を示す回路図である。

【図3】

図2に示す差動回路100の動作を説明するための図である。

【図4】

本発明の説明において用いられた差動回路200の構成を示す回路図である。

【図5】

図4に示す差動回路200の動作を説明するための図である。

【図6】

図4に示す差動回路200に対して行ったシミュレーション結果を示すグラフである。

【図7】

本発明による差動回路300の構成を示す回路図である。

【図8】

図7に示す差動回路300のトポロジーを用いて設計した差動回路400の構成を示すブロック図である。

【図9】

図8に示す差動回路400の回路構成を示す図である。

【図10】

図8に示す差動回路400に対して行ったシミュレーション結果を示すグラフである。

【図11】

図8に示す差動回路400において第1及び第2のバイパス回路51, 52に印加するバイアス電位 V_{Bp} , V_{Bn} を電源電圧 V_{cc} の $1/2$ とした場合のシミュレーション結果を示すグラフである。

【図12】

本発明による差動回路400を備えた受信装置1000の構成を示すブロック図である。

【符号の説明】

- 1 Nチャネル型差動増幅回路
- 2 Pチャネル型差動増幅回路
- 5、6 ソースフォロア回路
- 11 Nチャネル型差動素子
- 12 Pチャネル型差動素子
- 15、16 相補型ソースフォロア回路
- 51 第1のバイパス回路
- 52 第2のバイパス回路
- 100、200、300、400 差動回路

101、105、111、115、501、511 Nチャネル型MOSトランジスタ

102、106、112、116、502、512 Pチャネル型MOSトランジスタ

103、104、113、114 抵抗負荷

120、121、130、131、123、133 ノード

140、141、151、152、161、162 定電流源

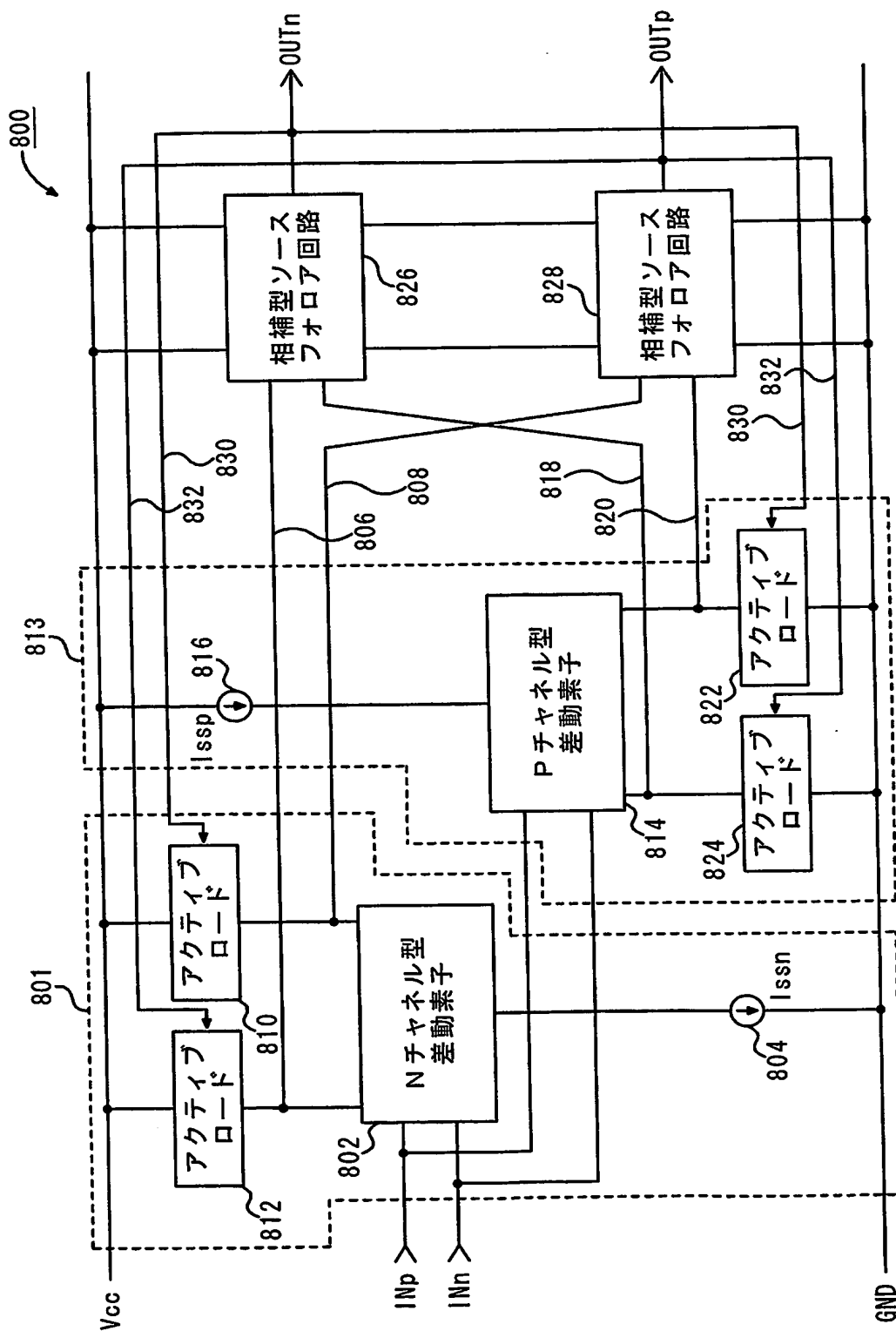
1000 受信装置

1001、1002 LVDS入力インタフェース

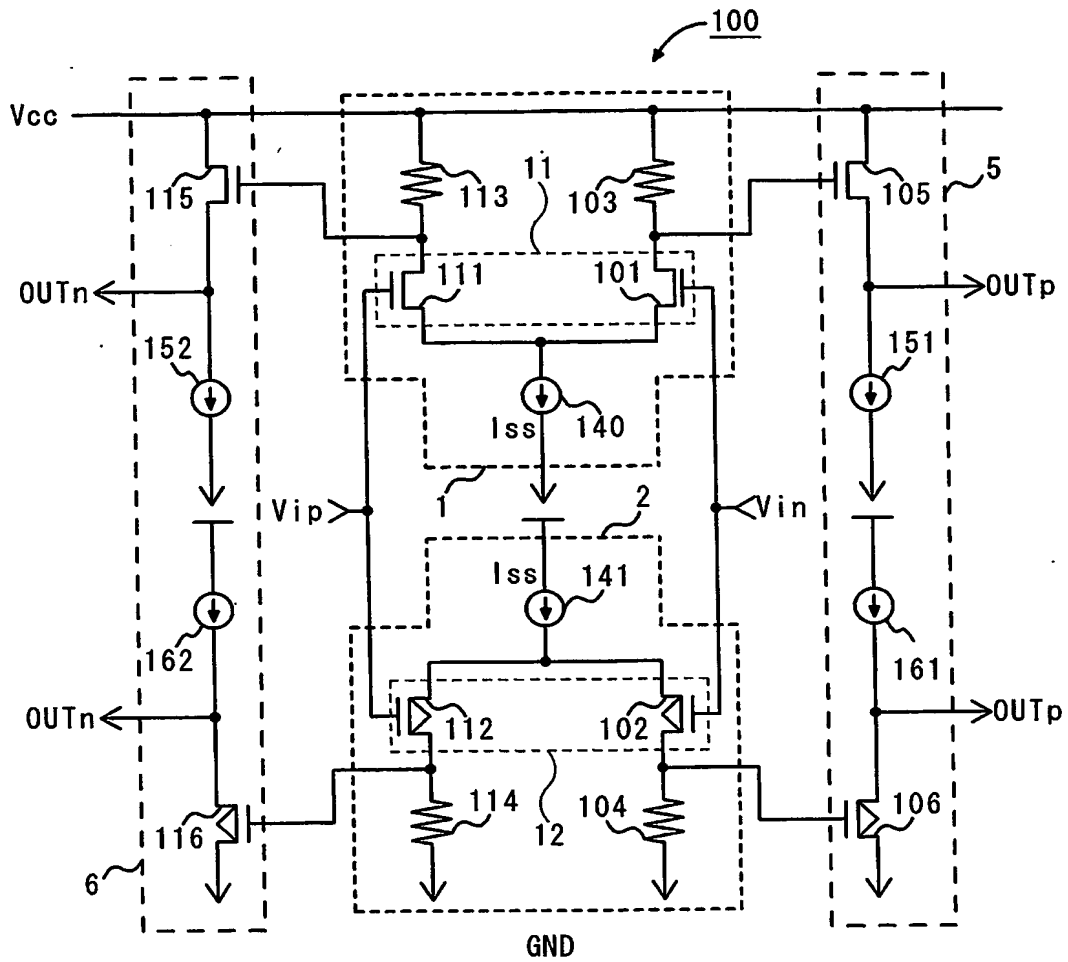
【書類名】

図面

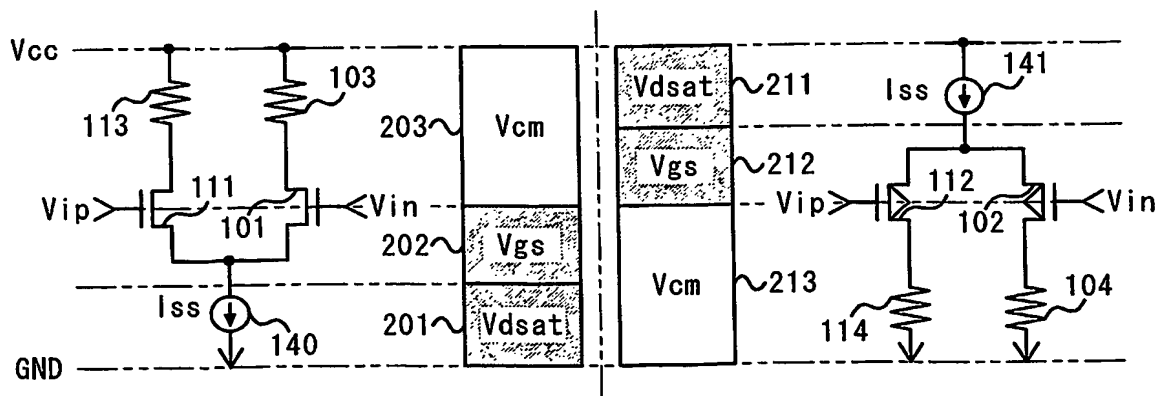
【図 1】



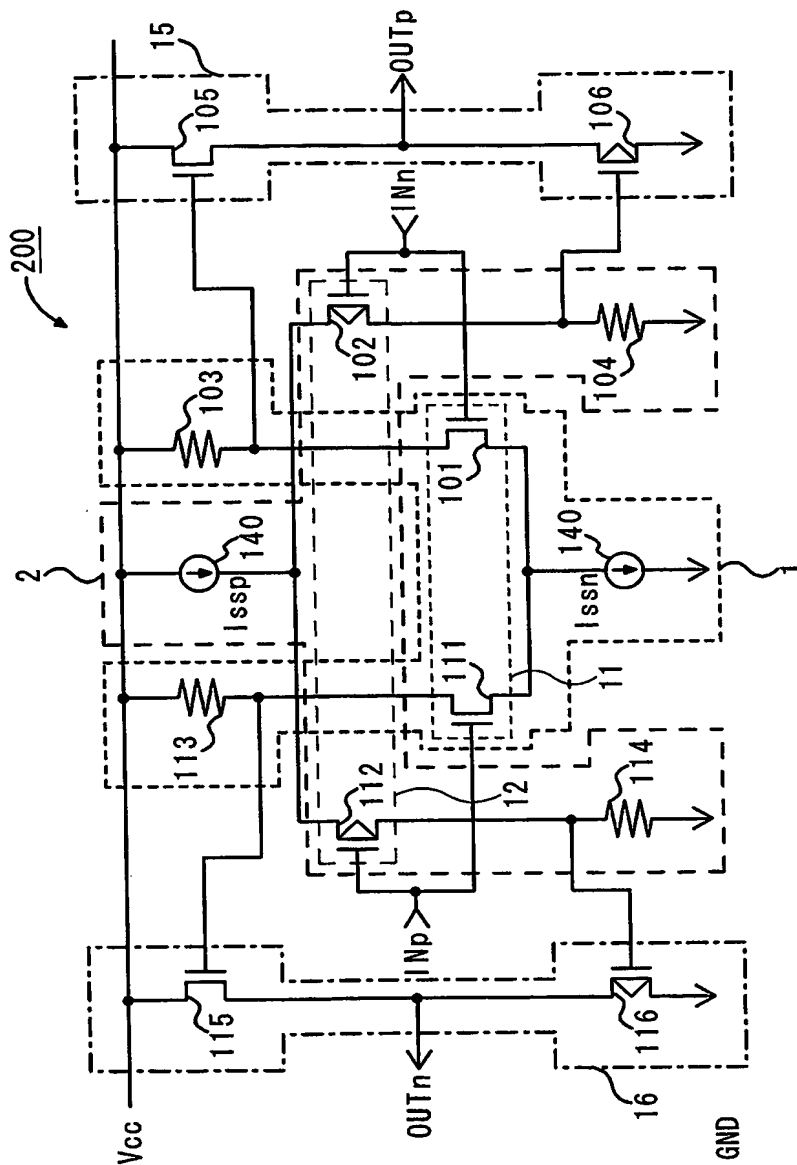
【図 2】



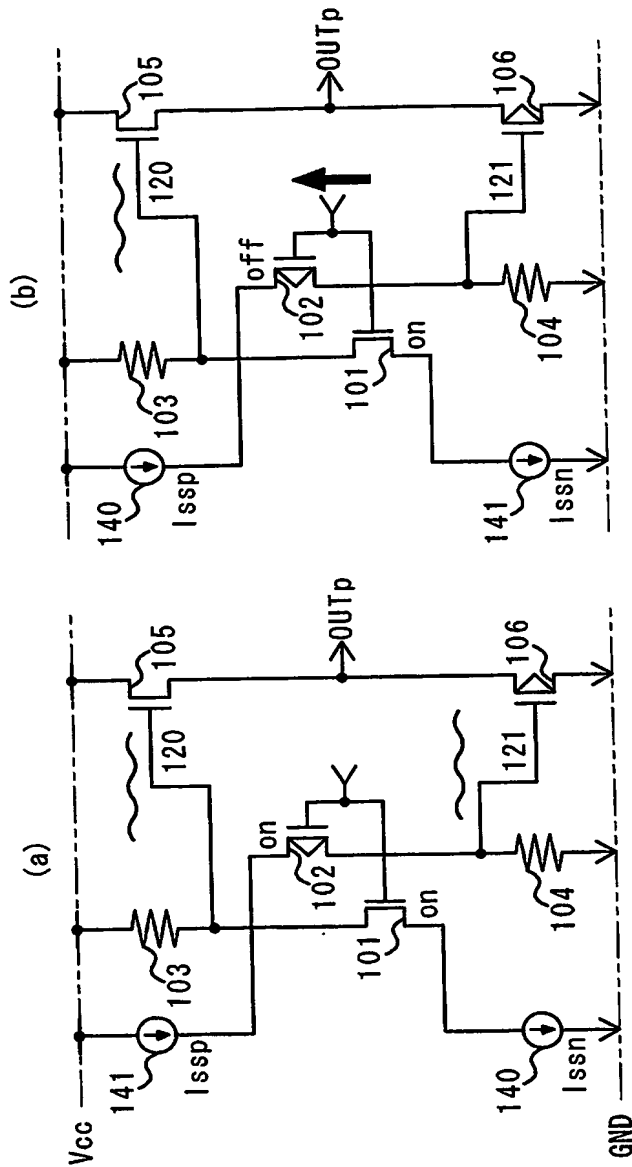
【図 3】



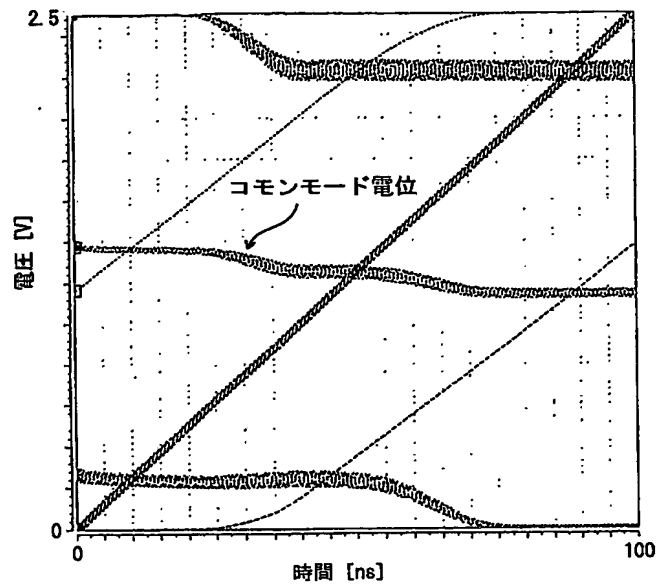
【図 4】



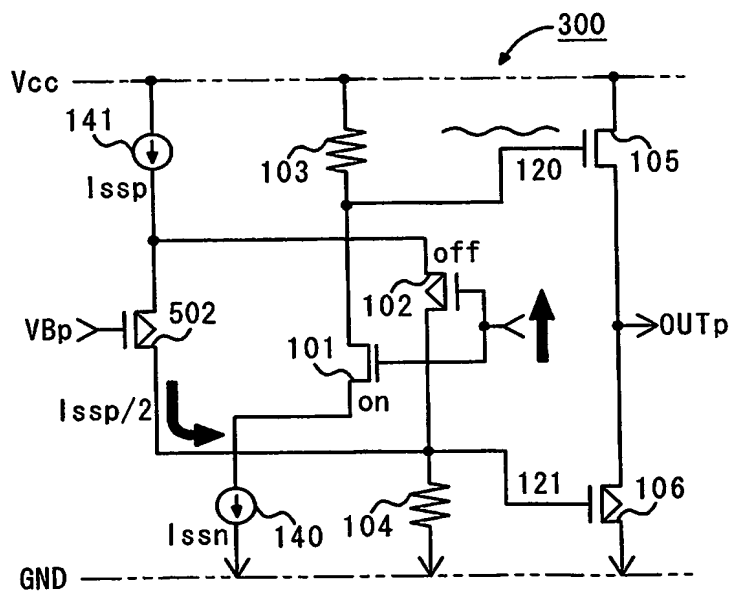
【図 5】



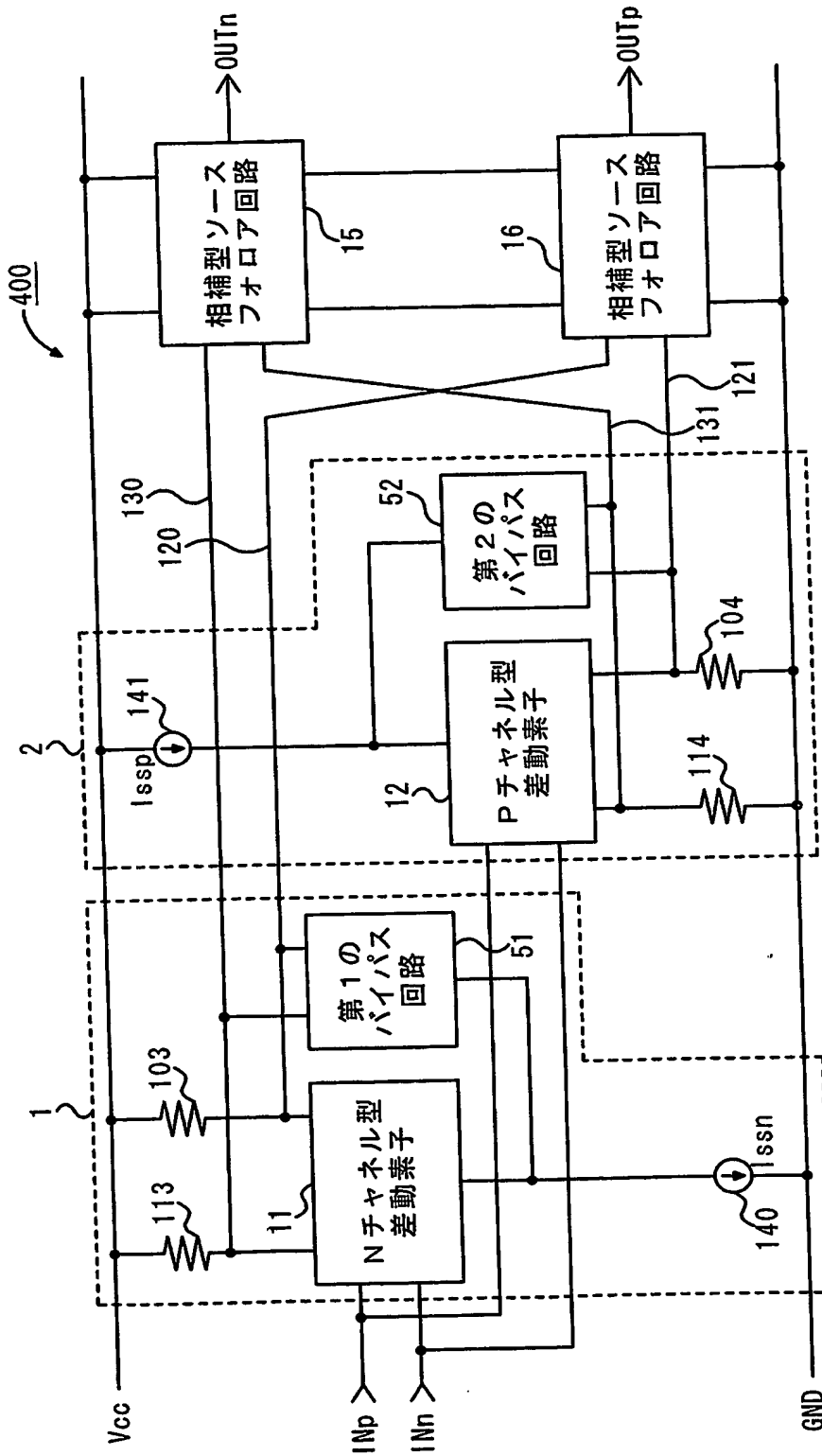
【図 6】



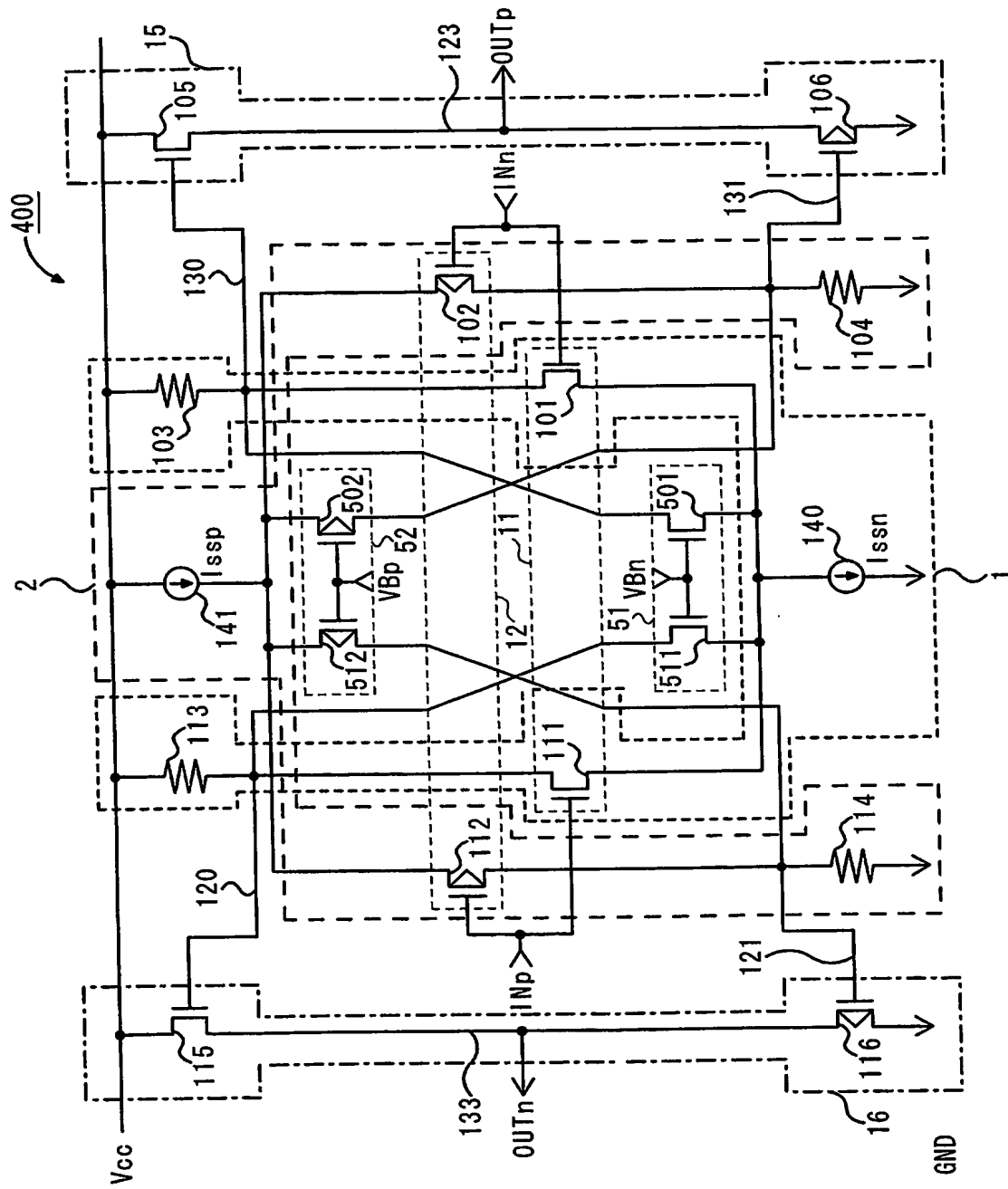
【図 7】



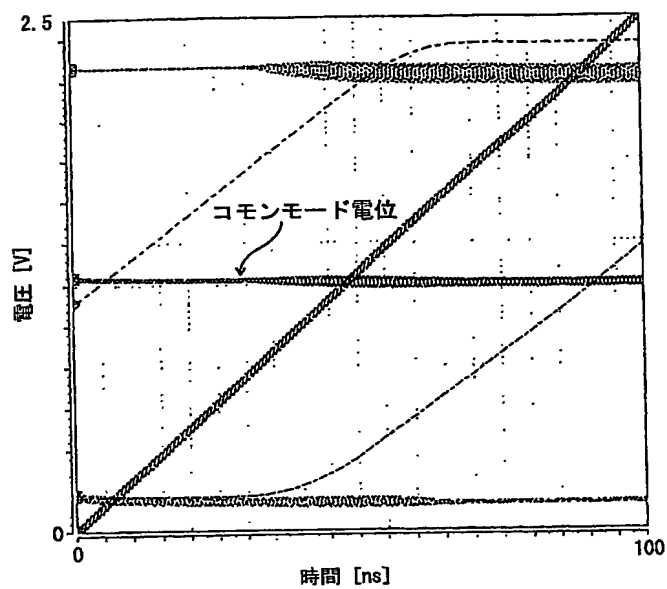
【図 8】



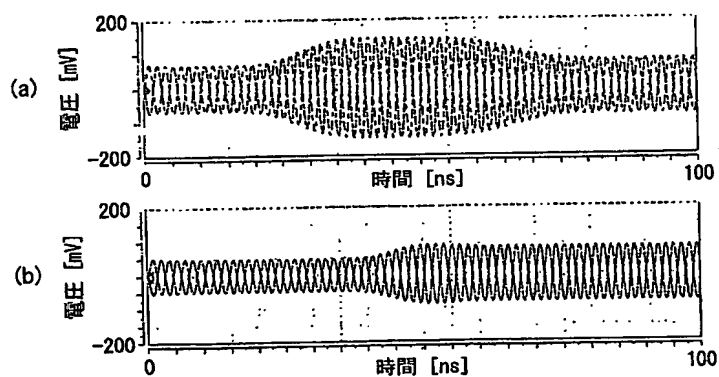
【図 9】



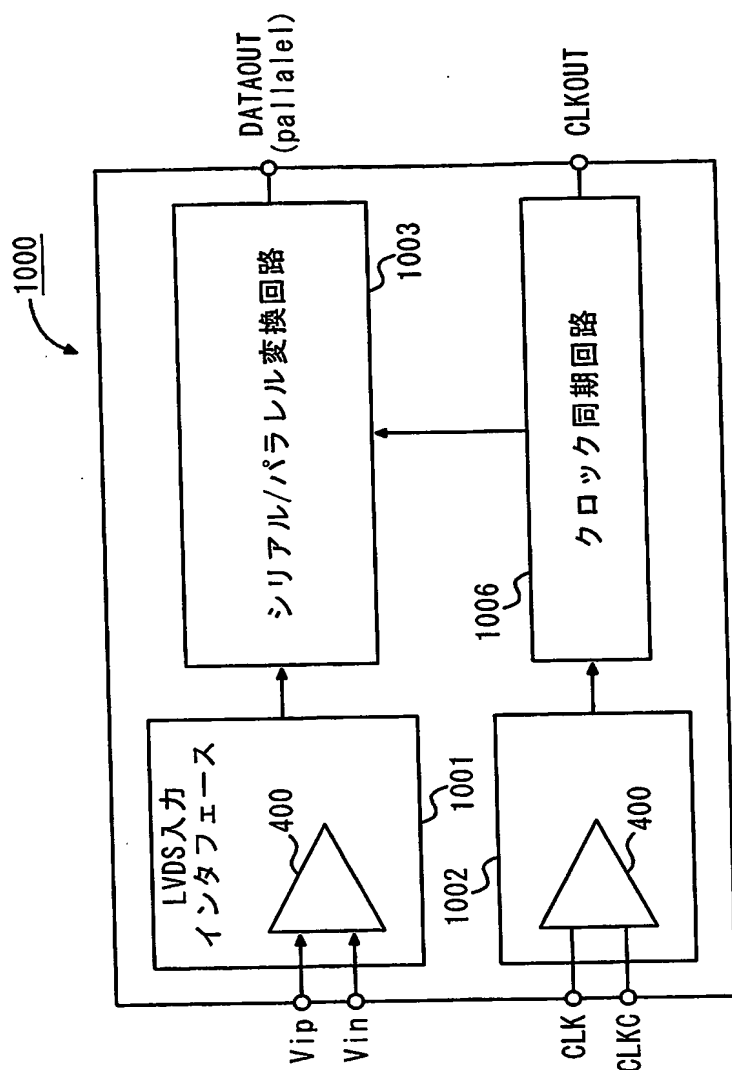
【図 10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 フィードバック構成を有することなく、一定のコモンモード電圧を持った差動出力を出力でき、且つチップ内部負荷をドライブするのに適当なバッファ段を有する差動回路及びそれを備えた受信装置を提供する。

【解決手段】 入力段のコモンモード電圧がNチャネル型／Pチャネル型差動増幅回路1／2の動作範囲を越えてしまった場合に負荷抵抗103, 104, 113, 104に定電流を導入するための第1及び第2のバイパス回路51, 52を付加する。これにより、上記のような場合でも、出力段の相補型ソースフォロア回路15のNチャネル型MOSトランジスタに、定電流バイアスされたPチャネル型MOSトランジスタが負荷素子として接続される構成と同等の等価回路を実現することができる。

【選択図】 図8

特願 2002-318807

出 願 人 履 歴 情 報

識別番号

[399011195]

1. 変更年月日

2000年 1月17日

[変更理由]

住所変更

住 所

東京都中央区八丁堀一丁目10番7号

氏 名

ザインエレクトロニクス株式会社

2. 変更年月日

2003年 5月 6日

[変更理由]

住所変更

住 所

東京都中央区日本橋本町三丁目3番6号

氏 名

ザインエレクトロニクス株式会社